



(19)

(11) Publication number: **63281441 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **62114673**(51) Intl. Cl.: **H01L 21/76 H01L 21/94**(22) Application date: **13.05.87**

(30) Priority:

(43) Date of application
publication: **17.11.88**(84) Designated contracting
states:(71) Applicant: **HITACHI LTD**(72) Inventor: **KAWAKAMI SUMIO
NAGANO TAKAHIRO**

(74) Representative:

**(54) SEMICONDUCTOR
DEVICE AND
MANUFACTURE THEREOF**

(57) Abstract:

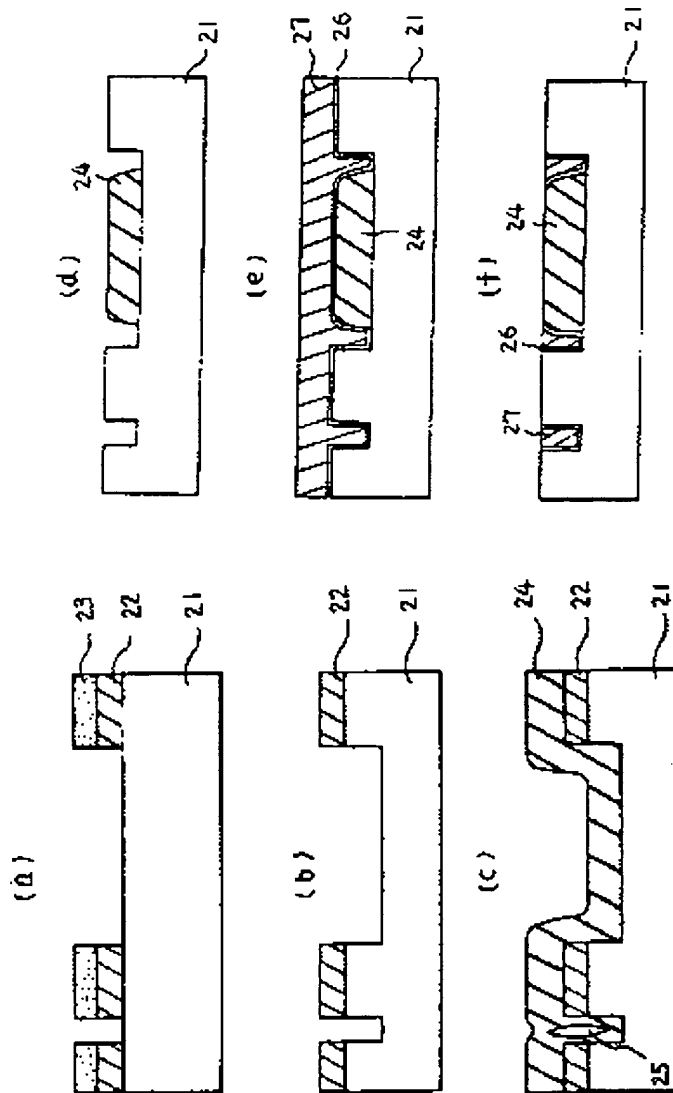
PURPOSE: To improve the degree of integration and performance by a method wherein a first groove narrower than the depth of the groove and a second groove wider than the depth of the groove are formed to a substrate, the stepped section of the first groove and the second groove is buried with a first insulator and the flat section of the second groove with a second insulator, the surface is flattened and an element isolation region is shaped.

CONSTITUTION: An silicon oxide film 22 is deposited as a first insulating film, and a section as an element forming region is etched and a substrate 21 is etched, using the oxide film 22 as a mask. When a dense silicon oxide film the same as the first insulating film is deposited on a groove stepped section as a

BEST AVAILABLE COPY

second insulating film and an accurate silicon oxide film 24 on a flat section, a cavity 25 is formed. Since the etching rate of the oxide film 24 is faster than the oxide film 22 by thirty or forty times, the oxide film in the groove stepped section is removed selectively through etching by the mixed liquid of hydrofluoric acid and ammonium fluoride, the oxide film 22 is side-etched at the same etching rate as the stepped section from the side wall of the stepped section, and the oxide film 24 on the element forming region is also gotten rid of and the groove width of the taken-off oxide film is kept approximately constant. The stepped section is buried with thermal oxide films 26, 27, and the surface is flattened.

COPYRIGHT: (C)1988,JPO&Japio



⑫ 公開特許公報(A)

昭63-281441

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月17日

H 01 L 21/76
21/94

L-7131-5F
6708-5F

審査請求 未請求 発明の数 2 (全5頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭62-114673

⑰ 出 願 昭62(1987)5月13日

⑱ 発 明 者 河 上 澄 夫 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑱ 発 明 者 長 野 隆 洋 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 半導体基板に少なくとも溝の深さより狭い第1の溝と、溝の深さより広い第2の溝とからなり、第1の溝は第1の絶縁物で埋め込まれ、第2の溝の段差部は第1の絶縁物、平坦部は第2の絶縁物で埋め込まれ、溝の表面と埋め込まれた第1及び第2の絶縁物の表面が平坦であることを特徴とした半導体装置。

2. (a) 半導体基板に第1の絶縁膜を堆積し、素子形成領域上にマスクを形成して第1の絶縁膜をエッチングする工程。

(b) 素子形成領域上の第1の絶縁膜をマスクとして素子分離領域となる半導体基板をエッチングする工程。

(c) 溝側壁部はエッチング速度が第1の絶縁膜とほぼ同等、平坦部は第1の絶縁膜より極めて遅い第2の絶縁膜を溝の深さとほぼ

同じ高さに堆積する工程。

(d) 第2の絶縁膜をウエットエッチングし溝内の平坦部のみに第2の絶縁膜を残す工程。

(e) 基板全面に溝の深さより厚い第3の絶縁膜を堆積する工程。

(f) 素子形成領域上の半導体基板表面が露出するまでエッチングする工程。

を備えたことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置及びその製造方法に係り、特に半導体基板に溝を設け絶縁物を埋め込む素子分離領域形成法において、表面に段差のない素子分離構造を有するのに好適な半導体装置及びその製造方法に関するものである。

〔従来の技術〕

従来リフトオフ方法による素子分離形成技術は特開昭57-176742号に記載のようにシリコン基板にレジストでパターンを形成し、平行平板電極を

有するドライエッチング装置を用いてシリコン基板をエッチングする。その後、ECR (Electron Cyclotron Resonance) 型プラズマデポジション装置を用いてシリコン酸化膜を溝の深さと同等堆積させ上記エッチング溝を埋める。次にレジスト剥離液によりレジストを除去し素子分離を行なっていた。

〔発明が解決しようとする問題点〕

上記従来技術では溝幅の狭い領域と広い領域を同時に絶縁物を埋め込むことは困難である。第3図において素子分離にリフトオフ法を適用する場合、シリコン酸化膜33を形成後レジスト32除去が容易に行なえるようにレジスト側壁部32'にはシリコン酸化膜が堆積されないことが重要である。このため堆積される原料のほとんどがイオンの形で供給されシリコン基板に垂直に入射し、シリコン基板に垂直な方向でシリコン酸化膜を成長させなければならない。しかし、実際には横方向への堆積もあるためレジスト側壁部にもシリコン酸化膜が堆積されてしまい、その後のレジスト

(3)

トがエッチングされてしまい素子形成領域上にも直接シリコン酸化膜が堆積されリフトオフができない恐れがある。たとえ素子領域上にレジストが残ったとしてもシリコン酸化膜堆積中にレジストがサイドエッチングされ所望の形状及び寸法が得られないという問題がある。

本発明の目的は素子分離領域を絶縁物で埋め込み、溝幅の狭い領域と広い領域を同時に平坦化し、かつ素子分離領域の界面特性が安定な半導体装置及びその製造方法を提供することにある。

〔問題点を解決するための手段〕

上記目的を達成するには、まず半導体基板表面に第1の絶縁膜を形成し、その後素子形成領域にマスクを形成し素子分離領域の半導体基板をエッチングして溝を設ける。次に溝側壁部はエッチング速度が第1の絶縁膜とほぼ同等、平坦部は第1の絶縁膜よりエッチング速度が極めて遅い第2の絶縁膜を溝の深さとほぼ同じ高さに堆積する。その後、第2の絶縁膜をエッチングする。エッチング後の溝幅の狭い領域の形状は、素子形成領域上

(5)

除去が困難である。また、特に溝幅の狭い領域ではシリコン酸化膜堆積途中に隣接した素子領域上のシリコン酸化膜が接触してしまいその後はシリコン酸化膜が溝内に堆積されず空洞34ができる。したがって溝幅の狭い領域はシリコン酸化膜が溝の深さまで堆積されず、溝幅の広い領域と同時に平坦化できないという問題がある。

また、従来技術ではリフトオフ材として有機物であるレジストを用いている。レジストをリフトオフ材として用いた場合、シリコン基板31のエッチング後もこのレジストを残しておかなければならない。しかし、その後のシリコン酸化膜形成前後に洗浄工程やエッチング工程を行なう必要があり、シリコン基板がレジストで汚染され素子分離領域の界面特性が不安定になるという問題がある。また、通常素子分離領域を形成する際絶縁膜としてシリコン酸化膜を用いる場合、原料ガスとしてモノシラン (SiH_4) と酸素の混合ガスを用いる。しかし、上述したようにレジストは有機物であるため酸素により素子形成領域上のレジス

(4)

の第1及び第2の絶縁膜及び溝内の第2の絶縁膜が除去される。一方、溝幅の広い領域は溝幅の狭い領域と同様素子形成領域上の第1、第2の絶縁膜及び溝側壁部の第2の絶縁膜が除去されV型の溝が残る。平坦部は第2の絶縁膜が埋め込まれた状態になる。次に溝幅の狭い領域及び広い領域の段差部の溝を埋め込み、さらに表面を平坦にするため溝の深さより厚い第3の絶縁膜を堆積する。その後、素子形成領域の基板表面が露出するまでエッチングすることにより達成される。

〔作用〕

第1の絶縁膜は第2の絶縁膜に比べエッチング速度が速いためリフトオフ材として作用し、第2及び第3の絶縁膜が埋め込み材として用いられる。

本発明によれば第2の絶縁膜のエッチング後は溝幅の狭い領域と広い領域の段差部の溝幅がほぼ同一となり、その後の第3の絶縁物の堆積により素子形成領域及び素子分離領域が平坦化され、さらにエッチングにより表面に段差のない素子構造が得られる。

(6)

〔実施例〕

以下本発明の実施例を第1図、第2図により説明する。

第1図は本発明の素子分離をBiCMOS (Bipolar CMOS) に適用した場合の一実施例である。①部はMOS部、②部はバイポーラ部である。1はP型シリコン基板、2、5はN型拡散層、3はゲート絶縁膜、4はP型拡散層、6はエミッタ領域、7はベース領域、8はコレクタ領域、9、10、11はシリコン酸化膜、12はゲート電極、13は配線用導電体、14は絶縁膜、15は電極である。

本実施例における素子分離構造は、シリコン基板に溝を形成し絶縁物を埋め込む方法なのでMOS部の分離幅を狭くすることができるため高集積化が図れる。一方バイポーラ部は高速、高負荷駆動能をいかすため、素子分離領域は厚い絶縁膜が形成されており、配線容量などの寄生容量の増加を抑えることができる。

また、素子形成領域と素子分離領域の表面には

(7)

コン酸化膜、平坦部には緻密なシリコン酸化膜24を $1\mu\text{m}$ 堆積する。ここで、溝幅の狭い領域はシリコン酸化膜堆積中に素子形成領域上のシリコン酸化膜が接触してしまい空洞25が出来る。また、シリコン酸化膜24はその後の工程でエッチングを行なうことがあり、それによる膜減りを考慮してその分だけあらかじめ厚くしておくことも可能である。

次に弗酸と弗化アンモニウムの混合液で約1分間エッチングする。ここで特徴的なことは、溝段差部に堆積されたシリコン酸化膜24は平坦部に堆積されたシリコン酸化膜に比べエッチング速度が30～40倍速いことである。このため選択的に溝段差部のシリコン酸化膜が除去され、さらに除去された段差部の側壁から段差部と同等のエッチング速度をもつ第1の絶縁膜であるシリコン酸化膜22がサイドエッチングされ、これにともない素子形成領域上のシリコン酸化膜24も同時に除去され、第2図(d)に示す形状となる。(リフトオフ)このエッチングにより溝幅の狭い領域

(9)

段差がなく、このことは素子製造におけるホトリソグラフィ工程を容易にするだけでなく、その上に形成される配線の断線を低減できるなどの利点がある。

第2図は本発明の素子構造を実現するための製造工程を示したものである。まず第2図(a)に示すように例えば面方位(100)、比抵抗 $10\Omega\text{cm}$ のP型シリコン21を用意する。

次に基板上に第1の絶縁膜としてECRにより粗密なシリコン酸化膜22を $0.5\mu\text{m}$ 堆積する。このシリコン酸化膜22はリフトオフ材として用いられる。その後レジスト23をマスクとして素子形成領域となる部分にパターンを形成する。次に平行平板電極型ドライエッチング装置を用いてシリコン酸化膜22をエッチングしたのちレジスト23を除去する。次に第2図(b)に示すようにシリコン酸化膜22をマスクとしてシリコン基板21を約 $1\mu\text{m}$ エッチングする。その後第2図(c)に示すように第2の絶縁膜としてECRにより溝段差部には第1の絶縁膜と同様粗密なシリ

(8)

はシリコン酸化膜がなく、広い領域の平坦部のみにシリコン酸化膜24が残存除去されたシリコン酸化膜の溝幅はほぼ一定となる。次に第2図(e)に示すように段差部の界面安定化のため熱酸化膜26を $0.05\mu\text{m}$ 堆積し、さらに微細な段差部などにつきまわりのよい減圧CVD法によりシリコン酸化膜27を約 $1.5\mu\text{m}$ 堆積する。これにより段差部は完全に絶縁膜により埋め込まれ、かつ素子形成領域と素子分離領域の表面が平坦となる。その後、第2図(f)に示すようにウエット酸素中 1000°C で約30分間熱処理を行なつたのち、弗酸と弗化アンモニウムの混合液でシリコン酸化膜27、26を素子形成領域の表面が露出するまでエッチングする。

以上の製造方法により溝幅の狭い領域には熱酸化膜及び減圧CVD法によるシリコン酸化膜、一方溝幅の広い領域の段差部は熱酸化膜及び減圧CVD法によるシリコン酸化膜、広い領域にはECRによるシリコン酸化膜が埋め込まれ、かつ表面に段差のない素子分離構造ができる。

(10)

本実施例において用いたECR装置は、基板温度を100℃以下の低温でシリコン酸化膜を堆積できること及びデポジション条件を変えることにより同一基板内に膜質の異なるシリコン酸化膜を堆積できるなどの特徴を持っておりリフトオフ技術には好適である。

また、本実施例では第2図(f)において弗酸と弗化アンモンの混合液でエッチングして平坦化を行なったがドライエッチングでも同様の結果が得られる。

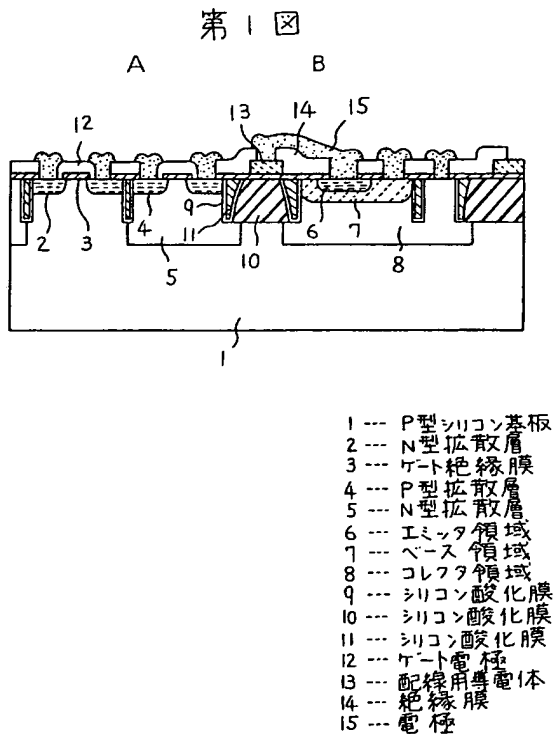
〔発明の効果〕

本発明による素子分離構造はLSIの高集積化及び性能向上ができ、かつ表面段差がないためその上に形成される配線の断線が低減され半導体装置の歩留りが向上する。

また、リフトオフ材として無機物であるシリコン酸化膜を用いているため、素子分離領域の汚染がなく界面特性が安定となり信頼性の向上が図れる。

4. 図面の簡単な説明

(11)



(12)

第1図は本発明の実施例の断面構造面、第2図(a)～(f)は本発明を実現するための製造工程を示す断面構造図、第3図は従来の問題点を説明する断面構造図である。

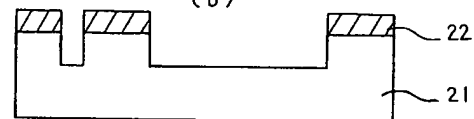
1, 21, 31…シリコン基板、10, 24…シリコン酸化膜(第2絶縁膜)、11, 27…シリコン酸化膜(第3絶縁膜)、22…シリコン酸化膜(第1絶縁膜)、23, 32…レジスト。

代理人 弁理士 小川勝男

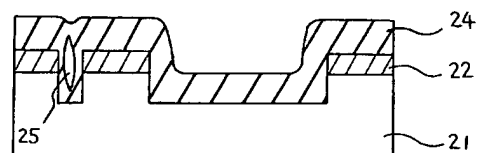
第2図
(a)



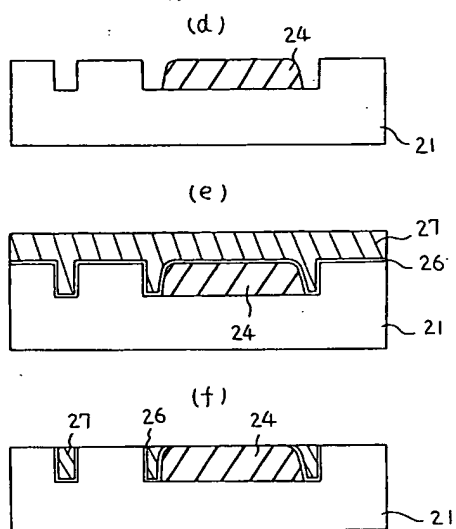
(b)



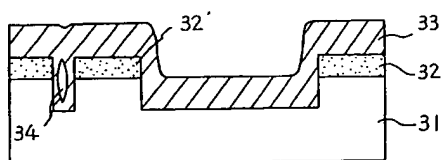
(c)



第2図



第3図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.